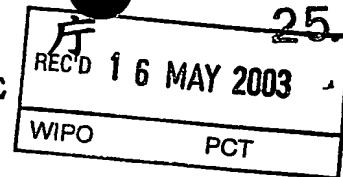


Rec'd PCT/PTO 18 OCT 2004

PCT/JP 03/05334

10/511-41

日本国特許
JAPAN PATENT OFFICE



25.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 4月25日

出願番号

Application Number:

特願2002-123615

[ST.10/C]:

[JP2002-123615]

出願人

Applicant(s):

サンケン電気株式会社

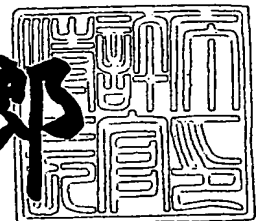
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 4月 1日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3023177

【書類名】 特許願

【整理番号】 A0209

【提出日】 平成14年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社
社内

【氏名】 岩渕 昭夫

【特許出願人】

【識別番号】 000106276

【氏名又は名称】 サンケン電気株式会社

【代理人】

【識別番号】 100095407

【弁理士】

【氏名又は名称】 木村 満

【選任した代理人】

【識別番号】 100109449

【弁理士】

【氏名又は名称】 毛受 隆典

【手数料の表示】

【予納台帳番号】 038380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0017501

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域の一方の主面に形成された第 2 導電型の第 2 半導体領域と

前記第 2 半導体領域の所定の表面領域に形成された第 1 導電型の第 3 半導体領域と、

前記第 2 半導体領域の所定の表面領域であって、前記第 3 半導体領域を包囲するように形成され、該第 3 半導体領域の不純物濃度よりも低い第 1 導電型の第 4 半導体領域と、を備え、

前記第 4 半導体領域は、前記第 3 半導体領域を包囲する中央部と、該中央部を包囲する周縁部とを有し、前記中央部は前記第 2 半導体領域の表面領域からの深さが前記周縁部よりも深く形成されている、ことを特徴とする半導体素子。

【請求項 2】

前記中央部は、前記第 3 半導体領域がグランドレベルになったときに、前記中央部と前記第 1 半導体領域との間の第 2 半導体領域の電荷量が耐圧特性を有するような電荷量を有する厚さに形成され、

前記周縁部は、前記第 3 半導体領域が高耐圧レベルになったときに、前記周縁部と前記第 1 半導体領域との間の第 2 半導体領域の電荷量が耐圧特性を有するような電荷量を有する厚さに形成されている、ことを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記第 1 半導体領域の一方の主面に、前記第 2 半導体領域を包囲するように形成された第 1 導電型の第 5 半導体領域と、

前記第 2 半導体領域の所定の表面領域であって、前記第 5 半導体領域に連続するように形成された第 1 導電型の第 6 半導体領域と、をさらに備える、ことを特徴とする請求項 1 または 2 に記載の半導体素子。

【請求項 4】

前記第 3 半導体領域は、素子形成領域のほぼ中央に形成されている、ことを特徴とする請求項 3 に記載の半導体素子。

【請求項 5】

前記第 2 半導体領域は、エピタキシャル成長法により形成されている、ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子に関し、詳しくは、いわゆるリサーフ構造を有する半導体素子に関する。

【0002】

【従来の技術】

p n 接合分離構造を有する高耐圧集積回路 (IC: Integrated Circuit) では、リサーフ構造を用いた高耐圧の絶縁ゲート型電界効果トランジスタ (MOSFET: Metal Oxide Semiconductor Field Effect Transistor) を搭載した半導体素子が知られている。図 3 に半導体素子を高耐圧 IC の p チャネル MOSFET に用いた一例を示す。

【0003】

図 3 に示すように、p チャネル MOSFET 101 は、p⁻型のサブストレート基板 102 と、サブストレート基板 102 上に形成された n⁻型のエピタキシャル層 103 と、エピタキシャル層 103 を p n 接合分離する p⁺型の拡散分離層 104 と、エピタキシャル層 103 の表面に不純物拡散によって形成された p⁻型の拡散領域 105 と、拡散領域 105 に隣接するようにエピタキシャル層 103 の表面に形成された p⁺型のドレイン領域 106 と、拡散領域 105 と離間するようにエピタキシャル層 103 の表面に形成された p⁺型のソース領域 107 と、ソース領域 107 の近傍であってエピタキシャル層 103 の表面に形成された n⁺型のバックゲート領域 108 と、を備えている。

【0004】

拡散領域105とソース領域107との間のエピタキシャル層103の表面領域は、チャンネル領域として機能する。このチャンネル領域の上面には、ゲート酸化膜109を介して、ゲート電極110が形成されている。ドレイン領域106の上面にはドレイン電極111、ソース領域107の上面にはソース電極112、バックゲート領域108の上面にはバックゲート電極113、拡散分離層104の上面にはグランド電極114が電氣的に接続するように形成されている。また、 p^- 型拡散領域105の上には、フィールド酸化膜115が形成されている。

【0005】

このような p チャネルMOSFET101は、 p^- 型のサブストレート基板102上に n^- 型のエピタキシャル層103が形成され、さらに n^- 型のエピタキシャル層103の表面に p^- 型の拡散領域105が形成された、いわゆるダブルリサーフ構造を有している。

【0006】

ダブルリサーフ構造を有するMOSFET101では、ソース電極112とドレイン電極111との間に電圧を印加すると、 p^- 型のサブストレート基板102と n^- 型のエピタキシャル層103との界面に形成される pn 接合と、 n^- 型のエピタキシャル層103と p^- 型の拡散領域105との界面に形成される pn 接合とから、それぞれ空乏層が広がる。そして、ソース電極112とドレイン電極111との間の電圧が所定の電圧値に達すると2つの空乏層が連続し、エピタキシャル層103及び拡散領域105が実質的に空乏化することによって電位が固定される。この結果、電界が良好に緩和され、MOSFET101の高耐圧化を図ることができる。

【0007】

【発明が解決しようとする課題】

ところで、このような構造のMOSFET101は、例えば、レベルシフトダウン回路等に使用されている。MOSFET101をレベルシフトダウン回路に使用する場合、ドレイン電圧がサブストレート基板102の電圧に対して十数V程度高い電圧までの耐圧が得られれば問題は生じない。しかし、ドレイン電圧の耐圧がサブストレート基板102の電圧に対して、さらに高い電圧レベルまで要

求されるような用途に使用される場合には、上述の構造のMOSFET101では対応することができない。

【0008】

また、MOSFET101は、ドレイン領域106の近傍にグランド電位レベルの p^+ 型の拡散分離層104が形成されているので、 p^+ 型のドレイン領域106の近傍の電荷バランスが良好に保たれ、高耐圧特性を有している。しかし、ドレイン領域106の近傍に拡散分離層104が形成されている場合、ドレイン電圧がグランド電位に対して高電圧になると、ドレイン領域106と拡散分離層104との間の電界強度が高まり、パンチスルーやブレイクダウンが発生してしまうおそれがある。

【0009】

本発明は、上記問題に鑑みてなされたものであり、高耐圧特性を有する半導体素子を提供することを目的とする。

また、本発明は、高耐圧集積回路に適した半導体素子を提供することを目的とする。

さらに、本発明は、パンチスルーやブレイクダウンが発生しにくい半導体素子を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体素子は、第1導電型の第1半導体領域と、前記第1半導体領域の一方の主面に形成された第2導電型の第2半導体領域と、前記第2半導体領域の所定の表面領域に形成された第1導電型の第3半導体領域と、前記第2半導体領域の所定の表面領域であって、前記第3半導体領域を包囲するように形成され、該第3半導体領域の不純物濃度よりも低い第1導電型の第4半導体領域と、を備え、前記第4半導体領域は、前記第3半導体領域を包囲する中央部と、該中央部を包囲する周縁部とを有し、前記中央部は前記第2半導体領域の表面領域からの深さが前記周縁部よりも深く形成されている、ことを特徴とする。

【0011】

この構成によれば、半導体素子は、第 1 半導体領域の一方の主面に第 2 半導体領域が形成され、第 2 半導体領域の所定の表面領域に第 4 半導体領域が形成されており、第 4 半導体領域と、第 2 半導体領域と、第 1 半導体領域とから構成されるダブルリサーフ構造を有する。このため、半導体素子の横方向の電界緩和が良好に達成される。また、第 4 半導体領域は、第 3 半導体領域を包囲する中央部と、該中央部を包囲する周縁部とを有している。この中央部は第 2 半導体領域の表面領域からの深さが周縁部よりも深く形成されているので、中央部と第 1 半導体領域との間の第 2 半導体領域が薄くなる。また、周縁部と第 1 半導体領域との間の第 2 半導体領域が、中央部に比べて厚くなる。

【 0 0 1 2 】

前記中央部は、例えば、前記第 3 半導体領域がグランドレベルになったときに、前記中央部と前記第 1 半導体領域との間の第 2 半導体領域の電荷量が耐圧特性を有するような電荷量を有する厚さに形成されている。また、前記周縁部は、例えば、前記第 3 半導体領域が高耐圧レベルになったときに、前記周縁部と前記第 1 半導体領域との間の第 2 半導体領域の電荷量が耐圧特性を有するような電荷量を有する厚さに形成されている。

【 0 0 1 3 】

前記第 1 半導体領域の一方の主面に、前記第 2 半導体領域を包囲するように形成された第 1 導電型の第 5 半導体領域と、前記第 2 半導体領域の所定の表面領域であって、前記第 5 半導体領域に連続するように形成された第 1 導電型の第 6 半導体領域と、をさらに備えることが好ましい。この場合、半導体素子は、第 1 半導体領域の一方の主面に第 2 半導体領域が形成され、第 2 半導体領域の所定の表面領域に第 6 半導体領域が形成されており、第 6 半導体領域と、第 2 半導体領域と、第 1 半導体領域とから構成されるダブルリサーフ構造を有する。このため、半導体素子の横方向の電界緩和が、さらに良好に達成される。

【 0 0 1 4 】

前記第 3 半導体領域は、素子形成領域のほぼ中央に形成されていることが好ましい。この場合、第 3 半導体領域が高耐圧レベルになっても、第 3 半導体領域と第 5 半導体領域との間の電界強度が高くなりにくく、パンチスルーやブレイクダ

ウンが発生しにくくなる。

【0015】

前記第2半導体領域は、例えば、エピタキシャル成長法により形成されている。

【0016】

【発明の実施の形態】

以下、本発明の半導体素子について、高耐圧集積回路（高耐圧IC：Integrated Circuit）のpチャネルMOSFETに用いられた場合を例に説明する。図1にpチャネルMOSFETの断面図、図2にpチャネルMOSFETの平面図を示す。なお、図2では、絶縁膜及び電極が形成されていない状態を示している。

【0017】

図1に示すように、pチャネルMOSFET1は、第1半導体領域としての基板2と、第2半導体領域としてのエピタキシャル層3と、第5半導体領域としての拡散分離層4と、第6半導体領域としての第1拡散領域5と、第4半導体領域としての第2拡散領域6と、第3半導体領域としてのドレイン領域7と、ソース領域8と、バックゲート領域9と、ゲート絶縁膜10と、ゲート電極11と、ドレイン電極12と、ソース電極13と、バックゲート電極14と、グランド電極15と、フィールド絶縁膜16と、を備えている。

【0018】

基板2は、第1導電型、例えば、 p^- 型のサブストレート基板から構成されている。

【0019】

エピタキシャル層3は、基板2の一方の主面、例えば、上面に形成されている。エピタキシャル層3は、ドレイン電流が図1の横方向に流れるドレインドリフト領域である。エピタキシャル層3は、第2導電型、例えば、 n^- 型の半導体層から構成され、基板2上にn型の不純物が導入された n^- 型の半導体層をエピタキシャル成長させることにより形成されている。

【0020】

拡散分離層4は、基板2の上面に形成されている。拡散分離層4は、エピタキ

シヤル層 3 を包囲するように、例えば、環状に形成されている。拡散分離層 4 は、エピタキシヤル層 3 を p n 接合分離する、 p^+ 型（第 1 導電型）の半導体層である。

【 0 0 2 1 】

第 1 拡散領域 5 は、エピタキシヤル層 3 の外周縁を覆うように、エピタキシヤル層 3 の表面領域に、例えば、環状に形成されている。第 1 拡散領域 5 は、拡散分離層 4 に連続するように形成されており、例えば、拡散分離層 4 の側面から内側に突出するように形成されている。第 1 拡散領域 5 は、第 1 導電型、例えば、 p 型の不純物が導入された p^- 型の半導体領域から構成されている。

【 0 0 2 2 】

第 2 拡散領域 6 は、エピタキシヤル層 3 の表面領域であって、第 1 拡散領域 5 の内側の所定の領域に形成されている。第 2 拡散領域 6 は、第 1 導電型、例えば、 p 型の不純物が導入された p^- 型の半導体領域から構成されている。

【 0 0 2 3 】

また、第 2 拡散領域 6 は、エピタキシヤル層 3 の上面からの深さが異なる中央部 6 a と周縁部 6 b とを有している。中央部 6 a は、図 2 に示すように、平面的に見て、素子形成領域のほぼ中央に形成されている。中央部 6 a は、周縁部 6 b よりも厚くなるように形成されている。

【 0 0 2 4 】

周縁部 6 b は、中央部 6 a （の外周縁）を包囲するように、例えば、環状に形成されている。周縁部 6 b は、例えば、第 1 拡散領域 5 の厚さに形成されている。

【 0 0 2 5 】

第 2 拡散領域 6 と基板 2 との間にはエピタキシヤル層 3 が存在し、第 2 拡散領域 6 と基板 2 との間に存在するエピタキシヤル層 3 の厚さは、中央部 6 a の下側で相対的に薄く、周縁部 6 b の下側で相対的に厚くなるように形成されている。また、周縁部 6 b の下側に存在するエピタキシヤル層 3 の厚さは、第 1 拡散領域 5 の下側に存在するエピタキシヤル層 3 の厚さと等しくなっている。

【 0 0 2 6 】

ドレイン領域 7 は、第 2 拡散領域 6（中央部 6 a）の表面領域に形成されている。ドレイン領域 7 は、図 2 に示すように、平面的に見て、素子形成領域のほぼ中央に形成されている。ドレイン領域 7 は、第 1 導電型、例えば、p 型の不純物が導入された p^+ 型の半導体領域から構成されている。このため、ドレイン領域 7 の直下には、エピタキシャル層 3 の上面から p^- 型の半導体領域が深く形成された中央部 6 a が配置され、この中央部 6 a はドレインドリフト領域として機能する。

【 0 0 2 7 】

ソース領域 8 は、エピタキシャル層 3 の表面領域であって、エピタキシャル層 3 を介して第 2 拡散領域 6 を包囲するように、例えば、図 2 に示すように、環状に形成されている。ソース領域 8 は、第 1 導電型、例えば、p 型の不純物が導入された p^+ 型の半導体領域から構成されている。このソース領域 8 と第 2 拡散領域 6（周縁部 6 b）との間のエピタキシャル層 3 の表面領域がチャネル領域として機能する。

【 0 0 2 8 】

バックゲート領域 9 は、エピタキシャル層 3 の表面領域であって、エピタキシャル層 3 を介してソース領域 8 を包囲するように、例えば、図 2 に示すように、環状に形成されている。バックゲート領域 9 は、第 2 導電型、例えば、n 型の不純物が導入された n^+ 型の半導体領域から構成されている。バックゲート領域 9 は、エピタキシャル層 3 の不純物濃度よりも高い不純物濃度に形成されている。

【 0 0 2 9 】

ゲート絶縁膜 1 0 は、第 2 拡散領域 6 とソース領域 8 とに挟まれたエピタキシャル層 3 の表面近傍（チャネル領域）と対向するように、エピタキシャル層 3 上に形成されている。ゲート絶縁膜 1 0 は、例えば、シリコン酸化膜から形成されている。

【 0 0 3 0 】

ゲート電極 1 1 はゲート絶縁膜 1 0 上に形成されている。ゲート電極 1 1 は、ポリシリコン、金属等の導体膜から構成され、CVD 等により形成されている。そして、ゲート電極 1 1 に所定の電圧（ゲート電圧）が印加されると、ソース領

域 8 と第 2 拡散領域 6 との間のエピタキシャル層 3 の表面近傍に、チャネルが形成される。

【 0 0 3 1 】

ドレイン電極 1 2 はドレイン領域 7 上に形成され、ドレイン領域 7 に電氣的に接続されている。ソース電極 1 3 はソース領域 8 上に形成され、ソース領域 8 に電氣的に接続されている。バックゲート電極 1 4 はバックゲート領域 9 上に形成され、バックゲート領域 9 に電氣的に接続されている。グランド電極 1 5 は拡散分離層 4 上に形成され、拡散分離層 4 に電氣的に接続されている。フィールド絶縁膜 1 6 はエピタキシャル層 3 上に形成されている。フィールド絶縁膜 1 6 は、例えば、シリコン酸化膜から形成されている。

【 0 0 3 2 】

このように構成された p チャネル MOS FET 1 は、図 2 に示すように、絶縁膜 1 0、1 6 及び電極 1 1 ~ 1 5 が形成されていない状態で平面的に見ると、ドレイン領域 7 が中央に配置され、その外周を第 2 拡散領域 6、エピタキシャル層 3、ソース領域 8、エピタキシャル層 3、バックゲート領域 9、エピタキシャル層 3、第 1 拡散領域 5、拡散分離層 4 の順に、環状に包囲するように形成されている。この結果、半導体素子の横方向に、ドレイン領域 7 と、ドレイン領域 7 を環状に包囲する第 2 拡散領域 6 (ドリフト領域)、エピタキシャル層 3 (チャネル領域) 及びソース領域 8 とからなる p チャネル MOS FET が構築される。

【 0 0 3 3 】

また、p チャネル MOS FET 1 によれば、バックゲート領域 9 と拡散分離層 4 との間には、p⁻型の第 1 拡散領域 5 と、n⁻型のエピタキシャル層 3 と、p⁻型の基板 2 とから構成される第 1 のダブルリサーフ構造が形成されている。さらに、p チャネル MOS FET 1 の中央には、p⁻型の第 2 拡散領域 6 と、n⁻型のエピタキシャル層 3 と、p⁻型の基板 2 とから構成される第 2 のダブルリサーフ構造が形成されている。このため、p チャネル MOS FET 1 の横方向の電界緩和が良好に達成される。

【 0 0 3 4 】

さらに、p チャネル MOS FET 1 では、ドレイン領域 7 の直下に、エピタキ

シャル層 3 の上面から p^- 型の半導体領域が深く形成された中央部 6 a が配置されているので、ドレイン領域 7 の直下の n^- 型のエピタキシャル層 3 が薄くなる。ここで、例えば、中央部 6 a を周縁部 6 b と同じ厚さにすると、ドレイン領域 7 の下方のエピタキシャル層 3 の厚さが、第 2 のダブルリサーフ構造部分のエピタキシャル層 3 と同一の厚さになり、ドレイン電圧がグランド (GND) 電位に近づくと、ドレイン領域 7 の直下の電荷バランスが崩れやすく、比較的低い電圧でブレークダウンを起こしてしまう。本実施の形態では、ドレイン領域 7 の直下の n^- 型のエピタキシャル層 3 が薄くなっているので、ドレイン電圧がグランド電位に近づいても、ドレイン領域 7 の直下の電荷バランスが崩れにくくなり、 p チャンネル MOSFET 1 は比較的高いブレークダウン電圧を得ることができる。

【0035】

また、 p チャンネル MOSFET 1 では、中央部 6 a を包囲するように、エピタキシャル層 3 の上面から p^- 型の半導体領域が中央部 6 a よりも浅く形成された周縁部 6 b が配置されているので、ドレイン領域 7 の直下近傍の n^- 型のエピタキシャル層 3 が、ドレイン領域 7 の直下の n^- 型のエピタキシャル層 3 より厚くなる。ここで、例えば、周縁部 6 b を中央部 6 a と同じ厚さにすると、ドレイン領域 7 の直下近傍の n^- 型のエピタキシャル層 3 が薄くなるので、ドレイン領域 7 の直下近傍の n 電荷量が低くなり、ドレイン電圧がグランド電位に対してプラスの高電圧 (高耐圧レベル) になった場合には、基板 2 の p^- 層とドレイン領域 7 の p^+ 層とがパンチスルーを起こし、高耐圧を実現することができない。本実施の形態では、ドレイン領域 7 の直下近傍の n^- 型のエピタキシャル層 3 が厚くなっているので、ドレイン領域 7 の直下近傍での n 電荷量が多くなり、パンチスルーを防止し、 p チャンネル MOSFET 1 は高い耐圧特性を有することができる。

【0036】

このように、第 2 拡散領域 6 には、ドレイン電圧がグランドレベルになったときに耐圧特性を有するようにドレイン領域 7 の直下のエピタキシャル層 3 を薄くする中央部 6 a と、ドレイン電圧が高耐圧レベルになったときに耐圧特性を有するようにドレイン領域 7 の直下近傍のエピタキシャル層 3 を厚くする周縁部 6 b

とを有している。このため、pチャネルMOSFET1は、ドレイン電圧がグラウンドレベルから高耐圧レベルまで変動する全ての状況下で高い耐圧特性を有することができる。

【0037】

また、pチャネルMOSFET1では、ドレイン領域7を素子形成領域のほぼ中央に形成しているので、ドレイン電圧が高耐圧レベルになっても、従来のpチャネルMOSFET101のようにドレイン領域7と拡散分離層4との間の電界強度が高くなり、パンチスルーやブレイクダウンが発生しにくくなる。

【0038】

以上説明したように、本実施の形態によれば、ドレイン領域7を包囲するように、中央部6aと周縁部6bとを有する第2拡散領域6をエピタキシャル層3の表面領域に形成したので、pチャネルMOSFET1は、ドレイン電圧がグラウンドレベルから高耐圧レベルまで変動する全ての状況下で高い耐圧特性を有することができる。このため、パンチスルーやブレイクダウンが発生しにくくなり、高耐圧ICの使用に適している。

【0039】

本実施の形態によれば、ドレイン領域7を素子形成領域のほぼ中央に形成しているので、ドレイン電圧が高耐圧レベルになってもドレイン領域7と拡散分離層4との間の電界強度が高くなり、パンチスルーやブレイクダウンが発生しにくくなる。

【0040】

なお、本発明は、上記の実施の形態に限られず、種々の変形、応用が可能である。以下、本発明に適用可能な他の実施の形態について説明する。

【0041】

上記実施の形態では、ドレイン領域7が素子形成領域の中央に配置され、その外周を第2拡散領域6、エピタキシャル層3等が環状に包囲するように形成した場合を例に本発明を説明したが、例えば、第2拡散領域6、エピタキシャル層3等を方形の環状に包囲するように形成してもよい。

【0042】

上記実施の形態では、エピタキシャル層 3 をエピタキシャル成長法により形成した場合を例に本発明を説明したが、例えば、張り合わせ技術を用いて形成してもよい。

【0043】

上記実施の形態では、本発明の半導体素子を p チャネル MOS FET 1 に用いた場合を例に本発明を説明したが、例えば、n チャネル MOS FET に用いてもよい。この場合にも、n チャネル MOS FET は、高い耐圧特性を有することができる。

【0044】

上記実施の形態では、基板 2 に p 型のサブストレータ基板を用いて p チャネル MOS FET 1 を形成した場合を例に本発明を説明したが、例えば、基板 2 に n 型の基板を用いて逆導電型の p チャネル MOS FET 1 を形成してもよい。

【0045】

【発明の効果】

以上説明したように、本発明によれば、高耐圧特性を有することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の p チャネル MOS FET の断面図である。

【図 2】

本発明の実施の形態の p チャネル MOS FET の平面図である。

【図 3】

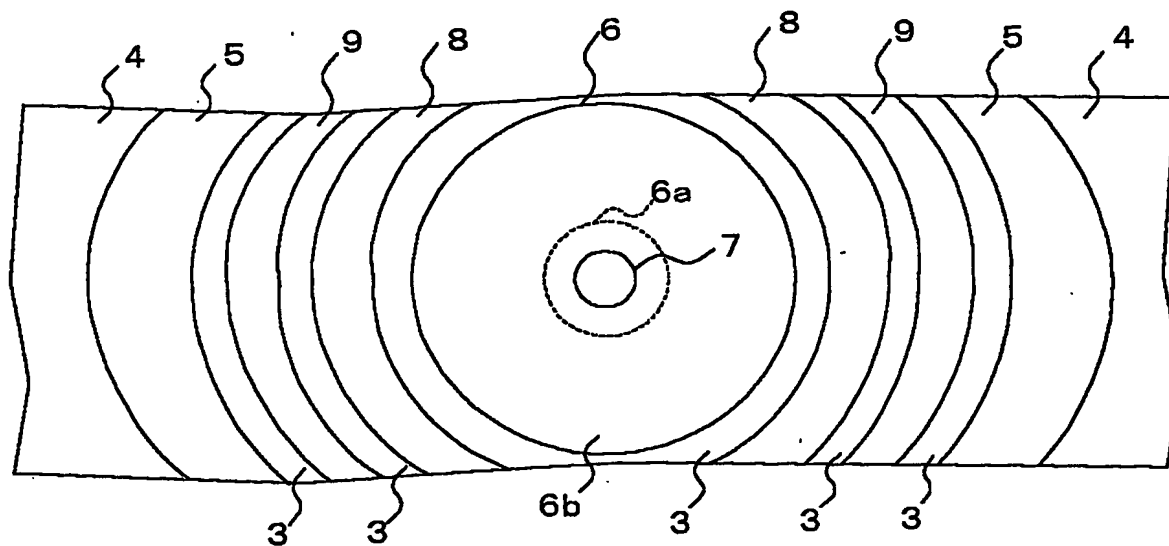
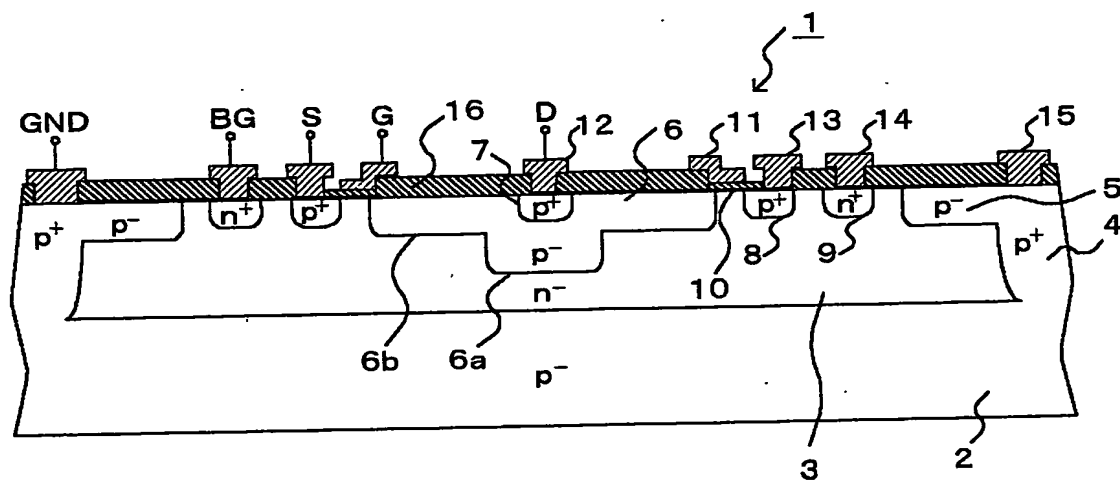
従来の p チャネル MOS FET の断面図である。

【符号の説明】

- 1 p チャネル MOS FET
- 2 基板
- 3 エピタキシャル層
- 4 拡散分離層
- 5 第 1 拡散領域
- 6 第 2 拡散領域

- 6 a 中央部
- 6 b 周縁部
- 7 ドレイン領域
- 8 ソース領域
- 9 バックゲート領域
- 1 0 ゲート絶縁膜
- 1 1 ゲート電極
- 1 2 ドレイン電極
- 1 3 ソース電極
- 1 4 バックゲート電極
- 1 5 グランド電極
- 1 6 フィールド絶縁膜

【図 1】



【書類名】 要約書

【要約】

【課題】 高耐圧特性を有する半導体素子を提供する。

【解決手段】 pチャネルMOSFET 1は、基板2とエピタキシャル層3と第2拡散領域6とドレイン領域7とを備えている。エピタキシャル層3は、基板2の上面に形成されている。第2拡散領域6は、エピタキシャル層3の表面領域であって、拡散領域5の内側の所定の領域に形成されている。また、第2拡散領域6は、エピタキシャル層3の上面からの深さが異なる中央部6aと周縁部6bとを有している。中央部6aは、素子形成領域のほぼ中央に形成され、周縁部6bよりも厚くなるように形成されている。周縁部6bは、中央部6aを包囲するように環状に形成されている。ドレイン領域7は、第2拡散領域6（中央部6a）の表面領域に形成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000106276]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

埼玉県新座市北野3丁目6番3号

氏 名

サンケン電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.